

Rough trans
from JPO website

6-8-04
Draft Trans letter
or
rough please,
Thank

PAT-NO: JP404099372A

DOCUMENT-IDENTIFIER: JP 04099372 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: March 31, 1992

INVENTOR-INFORMATION:
NAME
NAKAHARA, MASAKIMI

ASSIGNEE-INFORMATION:
NAME
FUJITSU LTD
KK KYUSHU FUJITSU ELECTRON

COUNTRY
N/A
N/A

APPL-NO: JP02217512

APPL-DATE: August 17, 1990

INT-CL (IPC): H01L027/108, H01L027/04

US-CL-CURRENT: 257/306

ABSTRACT:

PURPOSE: To eliminate adverse influence to refreshing characteristic by forming a dielectric layer and a conductor layer by using the side and upper surface of a conductor post protruding on a semiconductor substrate.

CONSTITUTION: An SiO₂ film is formed as an insulating layer 4 on the entire surface by a CVD method, windows for a capacitor electrode, a bit line contact are then opened in a normal photolithography

Tuan Dil
Jeff 6 A19
- 21929 -

Need Before
1:00 PM
today

step, SiO₂ of the window opening is removed by anisotropically etching, and a contact hole for exposing a semiconductor substrate 1 is formed. The hole is completely buried by conductor such as polysilicon by a CVD method to cover up to the layer 4, and phosphorus (P₊) is thermally diffused to reduce the resistance of the polysilicon. The polysilicon is entirely etched by anisotropically etching. Then, the polysilicon remains only in the hole. Thus, a conductor post 5 is formed at the capacitor electrode, and a buried layer 5a is formed at a bit line contact. A DRAM having the post 5, the layers 6, 7 as a storage capacity unit is realized.

COPYRIGHT: (C)1992,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-99372

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月31日

H 01 L 27/108
27/04

C

7514-4M
8624-4M

H 01 L 27/10

3 2 5 C

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 平2-217512

⑯ 出 願 平2(1990)8月17日

⑰ 発 明 者 中 原 正 公 鹿児島県薩摩郡入来町副田5950番地 株式会社九州富士通
エレクトロニクス内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 出 願 人 株式会社九州富士通エ 鹿児島県薩摩郡入来町副田5950番地
レクトロニクス

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 半導体基板(1)に下面を密着する導電体柱(5)と、該導電体柱(5)の側面及び上面に密着する誘電体層(6)と、該誘電体層(6)に密着する導電体層(7)とを有し、

該導電体柱(5)と該誘電体層(6)と該導電体層(7)は蓄積容量部をなすことを特徴とする半導体装置。

(2) 半導体基板(1)上に絶縁層(4)を形成する工程と、

該絶縁層(4)に該半導体基板(1)を露出するコンタクトホールを形成する工程と、

該コンタクトホールを導電体で埋込んだ後、前記絶縁層(4)を選択的にエッチングして除去し、前記半導体基板(1)上に突き出る導電体柱(5)を形成する工程と、

該導電体柱(5)の側面及び上面に誘電体層(6)を形成する工程と、

該誘電体層(6)上に導電体層(7)を形成する工程とを有し、

該導電体柱(5)と該誘電体層(6)と該導電体層(7)が蓄積容量部となることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

半導体装置及びその製造方法に係り、特にダイナミック・ランダム・アクセス・メモリ及びその製造方法に関し、

セルが微細化されても大きな電荷蓄積容量を持つ構造及びその実現方法の提供を目的とし、

半導体基板に下面を密着する導電体柱と、該導電体柱の側面及び上面に密着する誘電体層と、該誘電体層に密着する導電体層とを有し、該導電体柱と該誘電体層と該導電体層は蓄積容量部をなす半導体装置により構成する。

また、半導体基板上に絶縁層を形成する工程と、該絶縁層に該半導体基板を露出するコンタクトホールを形成する工程と、該コンタクトホールを導電体で埋込んだ後、前記絶縁層を選択的にエッチングして除去し、前記半導体基板上に突き出る導電体柱を形成する工程と、該導電体柱の側面及び上面に誘電体層を形成する工程と、該誘電体層上に導電体層を形成する工程とを有し、該導電体柱と該誘電体層と該導電体層が蓄積容量部となる半導体装置の製造方法により構成する。

〔産業上の利用分野〕

本発明は半導体装置及びその製造方法に係り、特にダイナミック・ランダム・アクセス・メモリ(DRAM)及びその製造方法に関する。

近年、半導体装置においては高集積化が進められ、メモリセルの微細化が要求されている。

DRAMのメモリセルの微細化に伴い、電荷を蓄積する容量も小さくなるが、できるだけ基板の占有面積は小さくして、かつ電荷蓄積容量を大き

くする工夫が種々なされている。

〔従来の技術〕

従来の半導体記憶装置においては、大別して二通りの構造がある。一つはスタック型セルであり、他の一つはトレンチ型セルである。

第3図はスタック型セルの断面図であり、1は拡散層1aを含む半導体基板、2はゲート酸化膜、3はゲート電極、4、8は絶縁層、9はAl配線、11、12はキャパシタ電極、13はキャパシタ絶縁膜を表す。

スタック型セルは、容量をかせぐためにトランスファゲート(ゲート電極3)の段差を利用し、キャパシタ電極11、12とキャパシタ絶縁膜13との接触面積を広げているが、容量の大幅な増加は望めない。

第4図はトレンチ型セルの断面図であり、符号は第3図と共通であり、さらに、14、15はキャパシタ電極、16はキャパシタ絶縁膜を表す。

トレンチ型セルでは、キャパシタ電極14、15と

電体柱5と、該導電体柱5の側面及び上面に密着する誘電体層6と、該誘電体層6に密着する導電体層7とを有し、該導電体柱5と該誘電体層6と該導電体層7は蓄積容量部をなす半導体装置によって解決される。

また、半導体基板1上に絶縁層4を形成する工程と、該絶縁層4に該半導体基板1を露出するコンタクトホールを形成する工程と、該コンタクトホールを導電体で埋込んだ後、前記絶縁層4を選択的にエッチングして除去し、前記半導体基板1上に突き出る導電体柱5を形成する工程と、該導電体柱5の側面及び上面に誘電体層6を形成する工程と、該誘電体層6上に導電体層7を形成する工程とを有し、該導電体柱5と該誘電体層6と該導電体層7が蓄積容量部となる半導体装置の製造方法によって解決される。

〔作用〕

本発明では第1図に示すように半導体基板1上に突き出る導電体柱5の側面と上面を利用して、

〔発明が解決しようとする課題〕

本発明は、格子欠陥や界面準位の発生をなくし、かつ容量の大幅な増加をもたらすDRAMのセル構造、及びその製造方法を提供することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の半導体装置の断面図、第2図(a)～(i)は実施例を説明するための工程順断面図を示し、1は半導体基板、1aは拡散層、2はゲート酸化膜、3はゲート電極、4は絶縁膜、5は導電体柱でキャパシタ電極、5aは埋込み層、6は誘電体層、7は導電体層でキャパシタ電極、8は絶縁層、9はAl配線、10は保護層を表す。

上記課題は、半導体基板1に下面を密着する導

誘電体層6及び導電体層7を形成し、キャパシタを構成する。従って、導電体柱5の高さを高く形成することによりキャパシタ電極の面積を広げ、キャパシタ容量の増加を図ることができる。

この構造はトレンチ形成の場合と違って半導体基板1に格子欠陥を生じたり界面準位を生じたりすることがないから、リフレッシュ特性に悪影響を及ぼすことがない。

(実施例)

以下、第2図(a)～(i)を参照しながら、本発明の実施例について説明する。

第2図(a) 参照

通常の方法により、半導体基板にMOSFETを形成する。即ち、半導体基板1に通常の方法により、ゲート酸化膜2、ゲート電極3、拡散層1aを形成する。半導体基板1は、例えばP型Si基板にN型拡散層を形成したものである。N型Si基板にP型拡散層を形成したものでよい。

ゲート電極3の高さは、例えば0.3 μm である。

異方性エッチングにより、絶縁層4のSiO₂を選択的にエッチングする。エッチング量は、ゲート電極3の上面が現れるくらいまでとする。

第2図(f) 参照

キャパシタ絶縁膜として熱酸化によりSiO₂を形成し、導電体柱5と埋込み層5aの表面に厚さ約100 Åの誘電体層6を形成する。

その後、フォトリソグラフ工程によりビット線コンタクト部に窓開けを行い、異方性エッチングにより埋込み層5a上面のSiO₂を除去する。

第2図(g) 参照

キャパシタ電極として全面にポリSiをCVD法により成長させ、厚さ3000 Å程度の導電体層7を形成する。

その後、フォトリソグラフ工程によりビット線コンタクト部に窓開けを行い、異方性エッチングによりポリSiを除去する。

第2図(h) 参照

全面にPSGを成長させ、絶縁層8を形成する。その後、フォトリソグラフ工程によりビット線コ

第2図(b) 参照

全面に絶縁層4として、CVD法により厚さ0.5 μm のSiO₂膜を形成し、その後通常のフォトリソグラフ工程によりレジストにキャパシタ電極部、ビット線コンタクト部の窓開けを行い、異方性エッチングにより窓開け部のSiO₂を除去し、半導体基板1を露出するのコンタクトホールを形成する。その後、レジストを除去する。

第2図(c) 参照

CVD法により、コンタクトホールを導電体、例えばポリSiで完全に埋込み、絶縁層4の上まで覆うようにし、ポリSiの抵抗を下げるため、りん(P⁺)を熱拡散させる。

第2図(d) 参照

異方性エッチングにより、ポリSiを全面エッチングする。すると、ポリSiはコンタクトホール内にのみ残る。これにより、キャパシタ電極部に導電体柱5、ビット線コンタクト部に埋込み層5aが形成される。

第2図(e) 参照

ンタクト部に窓開けを行い、PSGをエッチングして除去する。

第2図(i) 参照

ビット線用配線材としてPVD法によりAlを成長させ、それをバクーニングしてAl配線9を形成し、その上に保護膜10としてPSG、SiN等をCVD法により成長させる。

かくして、導電体柱5、誘電体層6、導電体層7を蓄積容量部とするDRAMが実現する。

誘電体層6の材料はSiO₂に替えてそれより誘電率の高いSiNを用いてもよい。

なお、導電体層7は導電体柱5の上のみに誘電体層6を介して形成すれば蓄積容量部としての機能を果たすことができるが、表面の凹凸をなるべく小さくする目的で全面に形成している。

(発明の効果)

以上説明したように、本発明によれば、トレンチ型で問題となるリフレッシュ特性への悪影響のない、かつキャパシタ容量の大きいDRAMを提

供することができる。

本発明はDRAMの高密度化に寄与するところが大きい。

4. 図面の簡単な説明

第 1 図は本発明の半導体装置の断面図、

第2図(a)～(i)は実施例を説明するための工程順断面図、

第3図はスタック型セルの断面図、

第4図はトレンチ型セルの断面図

である。

図において,

- 1 は半導体基板,
- 1a は拡散層,
- 2 はゲート酸化膜,
- 3 はゲート電極,
- 4 は絶縁層であって SiO_2 ,
- 5 は導電体柱であってキャパシタ電極,
- 5a は埋込み層,
- 6 は誘電体層,

7は導電体層であってキャパシタ電極、

8 は絶縁層であって P S G,

9 は A 1 配線.

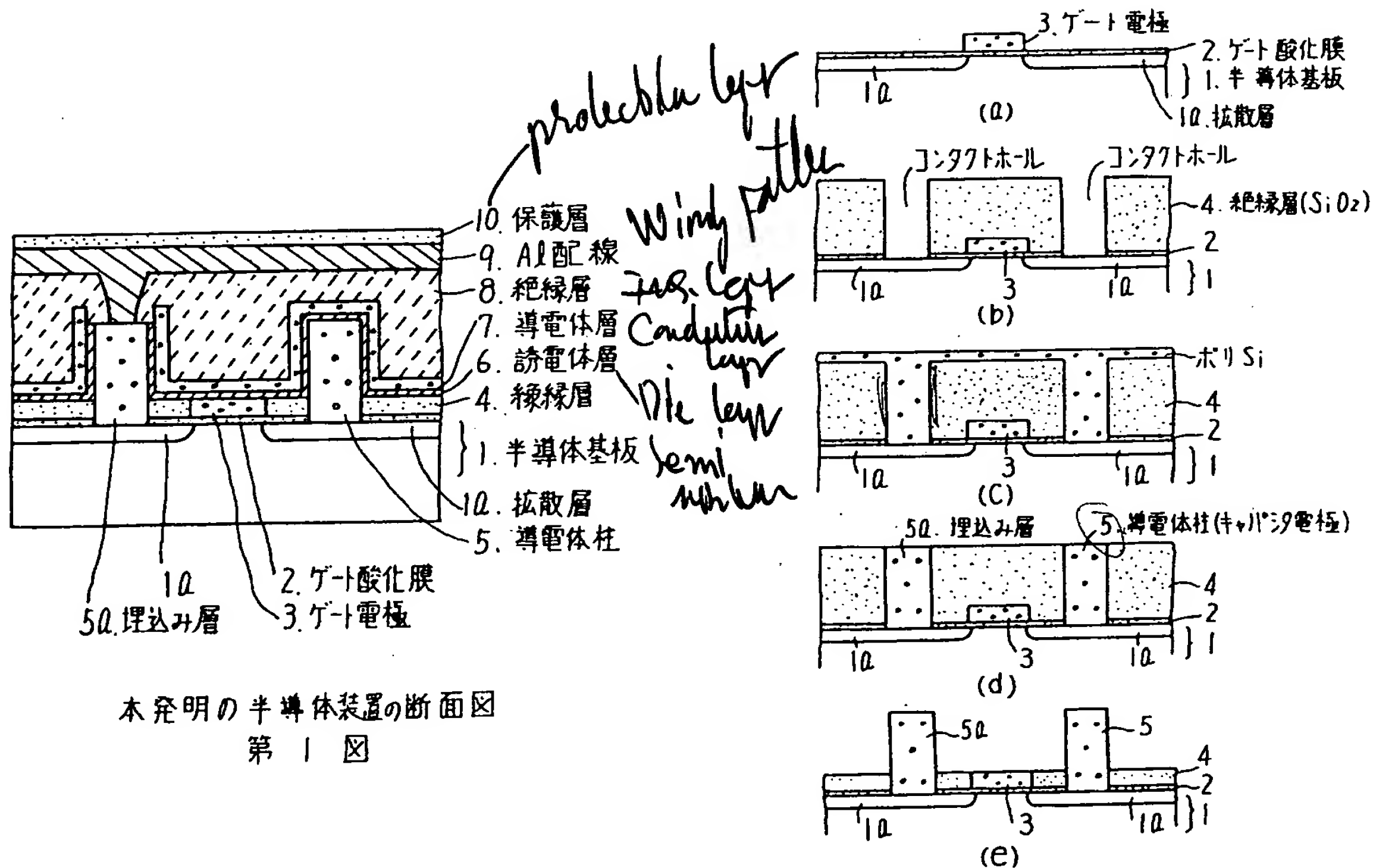
10は保護層，

11, 12, 14, 15はキャパシタ電極,

13. 16はキャパシタ絶縁膜

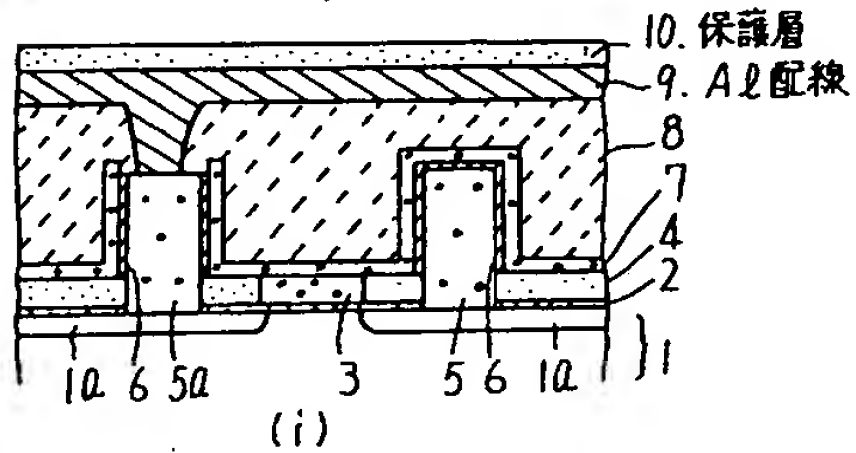
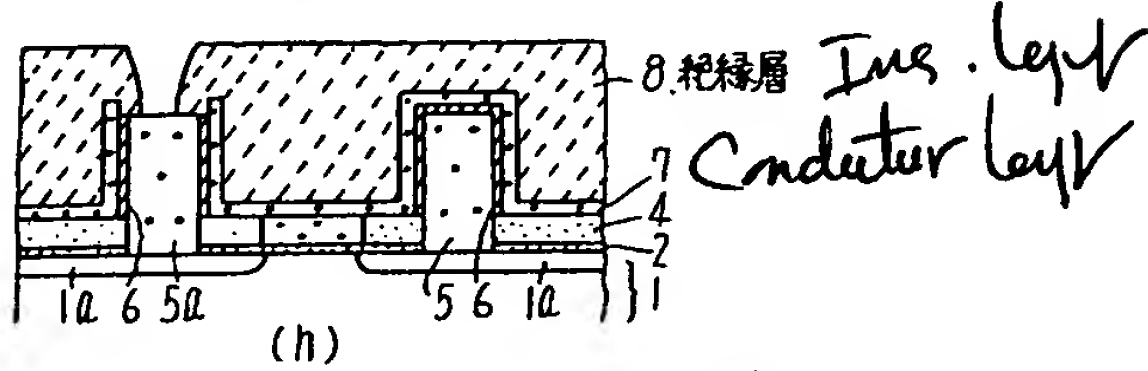
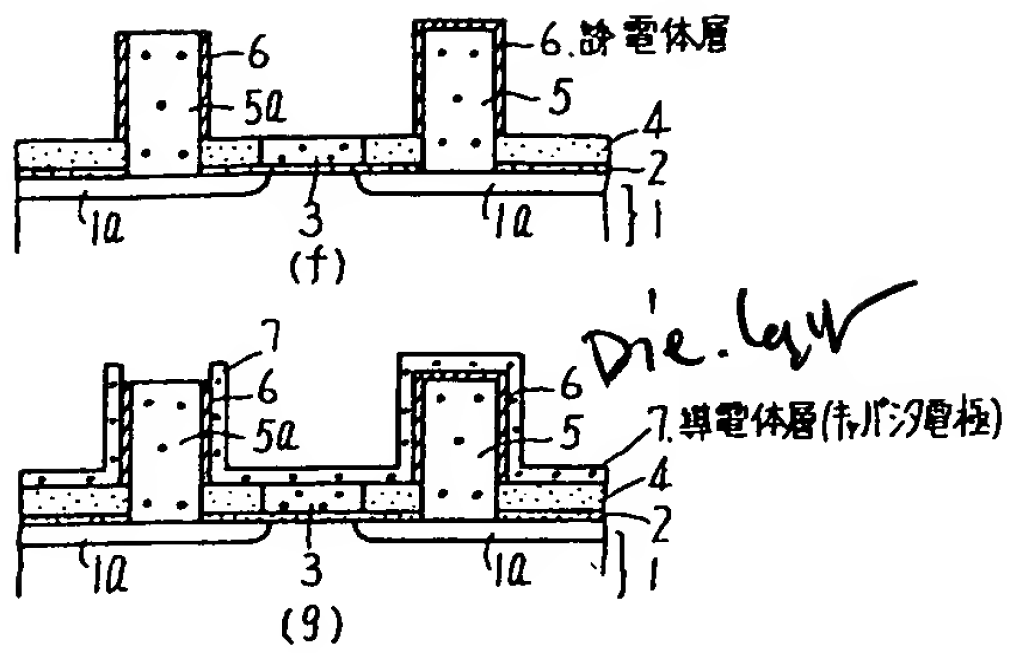
を表す.

代理人 弁理士 井桁貞一

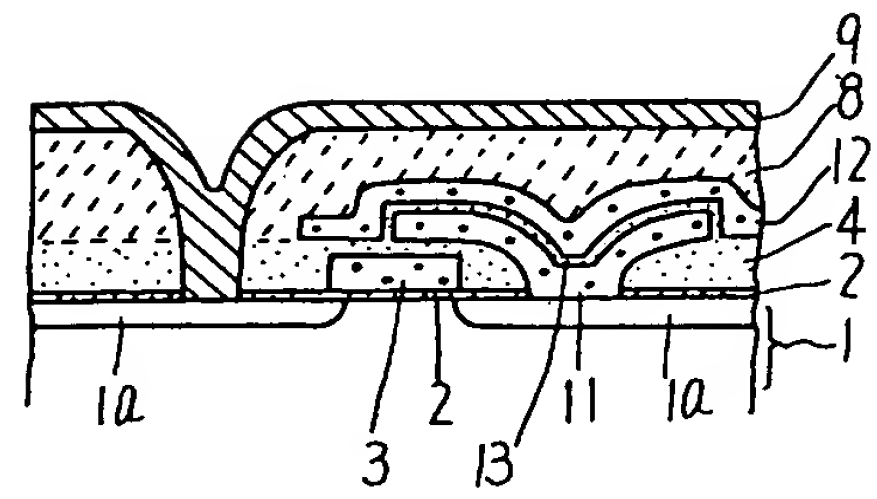


本発明の半導体装置の断面図
第 1 図

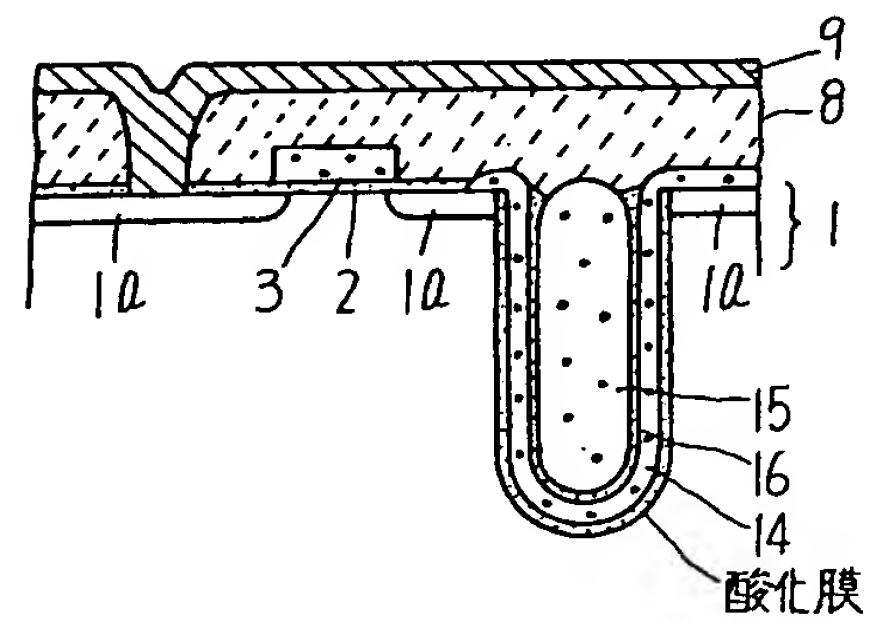
実施例を説明するための工程順断面図
第2図(その1)



実施例を説明するための工程順断面図
第2図(その2)



スタック型セルの断面図
第3図



トレンチ型セルの断面図
第4図